

## ЗАСТОСУВАННЯ ПАРАЛЕЛЬНИХ ОБЧИСЛЕНЬ НА ЦЕНТРАЛЬНОМУ ПРОЦЕСОРІ ТА ГРАФІЧНОМУ АДАПТЕРІ ЕОМ ДЛЯ ПРИСКОРЕННЯ РОЗРАХУНКУ ПАРАМЕТРІВ ЕЛЕКТРИЧНИХ ЛАНЦЮГІВ

*Нікітенко В. Г., Дюжаєв Л. П., к. т. н., доцент  
Національний технічний університет України  
«Київський політехнічний інститут», м. Київ, Україна*

Сучасна програма може паралельно виконувати кілька дій, наприклад, обробляти команди користувача, виконувати обчислення та відображати графічні дані. При наявності в складі комп'ютера багатоядерного процесора, є можливість виконувати різні потоки насправді одночасно. Існують зручні засоби для цієї оптимізації, одним з них є *OpenMP* [1, 2], який дозволяє за допомогою простих інструкцій в повній мірі задіяти ресурси багатоядерного процесора.

Ще більш перспективним для паралельних обчислень є використання ресурсів відеоадаптера, а найбільшу свободу розробнику надає технологія *nVidia Cuda*, що дає змогу виконувати на відеоадаптерах фірми *nVidia* фактично будь-який код, написаний мовою високого рівня [3].

Спеціалістами підіймалося питання про оптимізацію роботи симулятора електричних ланцюгів шляхом розгалуження його обчислювальних процесів на окремі потоки [4]. Вже були створені деякі експериментальні варіанти симулятора електричних ланцюгів, чия робота досить тісно пов'язана з паралельними обчисленнями [4, 5].

Постає питання про можливість використання вищезгаданої технології *CUDA* для виконання окремих паралельних розрахунків на графічному адаптері [6, 7]. Деякі симулятори електричних ланцюгів (наприклад, *SmartSpice*) мають лише дуже обмежені можливості використання паралельних обчислень, а можливості *CUDA* досі залишалися використаними лише в окремих продуктах, таких як *OmegaSIM* [5].

На базі результатів існуючих досліджень, було розроблено та випробувано експериментальну версію симулятора електричних ланцюгів з використанням технології *CUDA* та *OpenMP*. Розроблена стратегія впровадження паралельних розрахунків включає:

- Використання *OpenMP* для паралельного розбиття схеми на окремі частини для подальших розрахунків;
- Подальше розподілення частин схеми на фрагменти, вже засобами графічного адаптера, та складання матричних рівнянь;
- Розміщення найчастіше змінюваних даних в області розділеної пам'яті (shared memory) кожного ядра;

- Застосування пам'яті текстур для збереження даних про схему, оскільки цей вид пам'яті автоматично заноситься в кеш;
- Застосування асинхронних механізмів обміну даними між відео-пам'яттю та оперативною пам'яттю.

Застосовуючи запропоновану стратегію, було виконано розрахунки часу обчислень для різних схем з різною кількістю транзисторів, результати наведено в табл. 1.

Як видно з таблиці, запропонована стратегія може суттєво скоротити час розрахунку параметрів схем з великим числом елементів, і тому є доцільною для застосування в широкій практиці.

Таблиця 1

Результати розрахунку часу обчислення

Транзисторів на схемі	Кількість обчислень (млн.)	Час розрахунку (секунд)		Прискорення (разів)
		Процесор	Процесор та відеоадаптер	
324	18,6	49,96	34,06	1,47
500	16,2	27,45	20,26	1,35
1000	52,2	111,5	48,19	2,31
2000	213	486,6	164,96	2,95
7682	192	458,9	182,9	2,51

### Література

1. Francisco González, Alberto Luaces, Daniel Dopico, Manuel González. Parallel linear equation solvers and OpenMP in the context of multibody system dynamics : матеріали конференцій ASME 2009 International Design Engineering Technical Conferences & Computers and Information in Engineering Conference / IDETC / CIE 2009.
2. Multi-Threaded Circuit Simulation using OpenMP [Електронний ресурс] / Mark Zwolinski / Режим доступу до журн. : [http://eprints.soton.ac.uk/270880/1/Lascas2010\\_17.pdf](http://eprints.soton.ac.uk/270880/1/Lascas2010_17.pdf).
3. CUDA Linear Equations Solver Based on Modified Gaussian Elimination / Xinggao Xia, Jong Chul Lee / Режим доступу до журн.: <http://www2.engr.arizona.edu/~ece569a/Readings/project/presentations/ModifiedGaussianElimination.pptx>.
4. Peter M. Lee, Shinji Ito, Takeaki Hashimoto, Junji Sato, Tomomasa Touma, Goichi Yokomizo. A Parallel and Accelerated Circuit Simulator with Precise Accuracy : матеріали конференції Asia and South Pacific Design Automation Conference 2002. — 213 с.
5. Fast Circuit Simulation on Graphics Processing Units [Електронний ресурс] / Kanupriya Gulati, John F. Croix, Sunil P. Khatri, Rahm Shastry / Режим доступу до журн.: <http://www.ece.tamu.edu/~sunil/projects-web/papers/kanu-cktsim.pdf>.
6. Sparse-Matrix-CG-Solver in CUDA [Електронний ресурс] / Dominik Michels / Режим доступу до журн.: <http://www.cescg.org/CESCG-2011/papers/Bonn-Michels-Dominik.pdf>.
7. Strategies for Parallelizing the Solution of Rational Matrix Equations [Електронний ресурс] / J. M. Bad'ia, P. Benner, M. Castillo, H. Fassbender, R. Mayo, E. S. Quintana-Ort, G. Quintana-Ort / Режим доступу до журн.: [http://www.hpca.uji.es/ficheros/badia/tr\\_parco07.pdf](http://www.hpca.uji.es/ficheros/badia/tr_parco07.pdf).